

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-251642
 (43)Date of publication of application : 06.10.1989

(51)Int.Cl. H01L 21/92

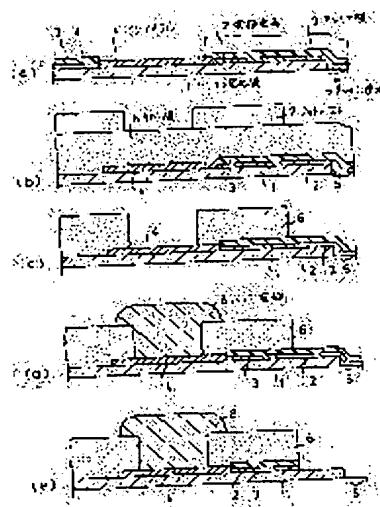
(21)Application number : 63-075917 (71)Applicant : NEC CORP
 (22)Date of filing : 31.03.1988 (72)Inventor : ISHII KOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the adhesion between a bump electrode and a cover film, to prevent the pattern deformation of the cover film, and obtain a semiconductor device whose bump electrode can be manufactured with high reliability, by forming the cover film previously, and growing the bump electrode on a barrier metal in the aperture of the cover film.

CONSTITUTION: On a semiconductor substrate, a silicon nitride film 1 is formed; barrier metal 4 composed of Ti-Pt is formed in a bump electrode forming region on the film; a cover film 6 is formed on the whole surface; a photo resist 7 is spread on the film 6; the photo resist 7 is patterned by photolithography, and the bump electrode forming region is opened; the cover film 6 is selectively etched by using the photo resist 7 as a mask, and the cover film 6 is eliminated; by making a current flow through an electrode metal 2, gold is grown on the barrier metal 4 in the aperture of the cover film 6, and a bump electrode 8 is formed. Thereby, the bump electrode 8 is grown, while being in close contact with the cover film 6, and so the adhesion between both of them is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平1-251642

⑬ Int. Cl.
H 01 L 21/92識別記号
F-6824-5F

⑭ 公開 平成1年(1989)10月6日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭63-75917

⑰ 出願 昭63(1988)3月31日

⑱ 発明者 石井 弘二 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代理人 弁理士 鈴木 章夫

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 半導体基板上のバンプ電極形成領域に、メッキの電流経路となる電極金属に接続されたバリアメタルを形成する工程と、全面にカバー膜を形成し、かつ少なくとも前記バリアメタル上のバンプ電極形成領域及びスクライプ領域においてカバー膜を開口する工程と、これら開口内に前記電極金属が露呈されたときにはこの露呈面を絶縁膜で覆う工程と、メッキ処理により前記バリアメタル上のカバー膜開口内に金属を成長させてバンプ電極を形成する工程と、前記カバー膜をマスクにして少なくともスクライプ領域において前記電極金属をエッチング除去する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はメッキ法によって形成されるバンプ電

極を有する半導体装置の製造方法に関し、特にバンプ電極の強度を高めて信頼性を向上させた半導体装置の製造方法に関する。

(従来の技術)

従来、この種の半導体装置におけるバンプ電極の製造方法として、第4図(a)乃至第4図(c)に示す方法が提案されている。

即ち、第4図(a)のように、図示を省略した半導体基板の表面に、シリコン窓化膜1を形成しかつこの上のバンプ形成領域にバリアメタル4及びこれと電気的に接続する電極金属2を形成したのち、全面にフォトレジスト7Aを塗布し、かつバンプ電極形成領域のみフォトレジスト7Aを除去する。

次いで、第4図(b)のように、フォトレジスト7Aをマスクにして、電極金属2でバリアメタル4に通電を行い、ここにメッキ法により金を成長させバンプ電極8Aを形成する。

その後、第4図(c)のように、フォトレジスト7Aを除去し、かつ電極金属2を全てエッテン

グ除去する。

次いで、第4図(4)のように、全面にカバー膜6を形成し、かつこの上に塗布したフォトレジスト7Bをフォトリソグラフィ技術を用いてバンプ電極8A及びスクライプ領域5のみ除去する。

そして、第4図(5)のように、このフォトレジスト7Bをマスクにして前記カバー膜6を選択エッティングし、バンプ電極8Aとスクライプ領域5のみを開口している。

〔発明が解決しようとする課題〕

上述した従来の方法では、第4図(5)に示した工程において、フォトレジスト7Aの厚さよりもバンプ電極8Aを厚くメッキ形成するために、バンプ電極8Aがオーバーハングの形状となり、微細なバンプ電極を製造することが難しい。

また、第4図(6)の工程では、バンプ電極8Aを形成した後に、カバー膜6とフォトレジスト7Bを形成しているために、バンプ電極8Aにおけるこれらの厚さはかなり薄くなる。このため、カバー膜6をエッティングした状態では、第4図(6)

のように、カバー膜6とバンプ電極8Aとの密着性が低下され、或いはカバー膜6にバターン崩れが生じ、この結果バンプ強度が低下され、半導体装置の信頼性が低下されるという問題がある。

なお、このカバー膜のバターン崩れは、フォトレジスト7A、7B間の目合わせズレによっても生じことがある。

本発明はバンプ電極を高信頼性で製造することができる半導体装置の製造方法を提供することを目的としている。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板上のバンプ電極形成領域に、メッキの電流経路となる電極金属に接続されたバリアメタルを形成する工程と、全面にカバー膜を形成し、かつ少なくとも前記バリアメタル上のバンプ電極形成領域及びスクライプ領域においてカバー膜を開口する工程と、これら開口内に前記電極金属が露呈されたときにはこの露呈面を絶縁膜で覆う工程と、メッキ処理により前記バリアメタル上のカバー膜開口

内に金属を成長させてバンプ電極を形成する工程と、前記カバー膜をマスクにして少なくともスクライプ領域において前記電極金属をエッティング除去する工程とを含んでいる。

この場合、カバー膜をフォトレジストを用いて開口し、このフォトレジストを残したままでバンプ電極を形成し、その後にフォトレジストを除去してもよい。

〔作用〕

上述した製造方法では、先にカバー膜を形成し、この開口内にバンプ電極を成長させるので、バンプ電極とカバー膜との密着性を向上させ、かつカバー膜におけるバターン崩れが防止できる。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図(a)乃至第1図(e)は本発明の第1実施例を製造工程順に示す断面図である。ここで、第1図(c)は第2図(a)のA-A線断面図、第1図(e)は第2図(b)のB-B線断面図である。

先ず、第1図(a)のように、図示を省略した半導体基板の上に、シリコン窒化膜2を形成し、この上のバンプ電極形成領域にTi-Piからなるバリアメタル4を形成する。また、このバリアメタル4は、選択的に形成されたアルミニウムからなる電極金属2に電気接続されており、メッキ時に通電されるようになっている。なお、この電極金属2の表面には、あらかじめ化成法によって絶縁物であるアルミナ層3を形成している。また、これら電極金属2とアルミナ層3は、仮想線で示すフォトレジストを用いて不要部分がエッティング除去される。

次いで、第1図(b)のように、全面にカバー膜6を形成し、かつこの上にフォトレジスト7を塗布する。そして、このフォトレジスト7をフォトリソグラフィー技術によりバターン形成し、少なくともバンプ電極の形成領域を開口する。

続いて、第1図(c)のように、前記フォトレジスト7をマスクにしてカバー膜6を選択エッティングし、バンプ電極の形成領域のカバー膜を除去

する。このとき、本実施例ではスクライプ領域5においてもカバー膜6を除去している。この際の平面構造は第2図(a)に示す通りである。

そして、前記電極金属2を通過してパリアメタル4に通電することにより、第1図(d)のように、カバー膜6の開口内のパリアメタル4上に金を成長させ、バンプ電極8を形成する。

しかる後、第1図(e)のように、カバー膜6をマスクにして前記アルミニナ膜3及び電極金属2を選択エッチングし、少なくともスクライプ領域5において半導体基板の各表面を露出させることにより、半導体装置が完成される。この様の平面構造は第2図(f)に示す通りである。

この製造方法によれば、先にカバー膜6を形成し、かつその一部を開口した上でここにメッキ法によりバンプ電極8を成長させることにより、バンプ電極8はカバー膜6に密接しながら成長され、両者の密着性が向上する。また、バンプ電極8の形成後にカバー膜6をエッチングする必要がないため、バターン崩れが生じることはなく、強度の

ンプ電極8を形成する。

その後、フォトレジスト7を除去することにより、第3図(e)のように、オーバーハングのない形状のバンプ電極8を得ることができる。

この実施例においても、第1実施例と同様に強度の高いバンプ電極を製造できる。また、この実施例ではカバー膜6とともにフォトレジスト7を金メッキのマスクに用いているため、バンプ電極の横方向への広がりを小さく抑えることができ、微細なバンプ電極を製造できる。

(発明の効果)

以上説明したように本発明は、先にカバー膜を形成し、この開口内のパリアメタル上にメッキ法によりバンプ電極を成長させているので、バンプ電極とカバー膜の密着性を向上させ、かつカバー膜のバターン崩れを防止できる。また、カバー膜とバンプ電極の形成を1度のフォトレジスト工程で形成できるので、目合わせズレが原因とされるカバー膜のバターン崩れも防止できる。これにより、バンプ強度を増大し、半導体装置の信頼性を

高いバンプ電極を得ることができる。

第3図(a)乃至第3図(e)は本発明の第2実施例を工程順に示す断面図であり、第1実施例と同一部分には同一符号を付してある。

この実施例では、第3図(e)のように、シリコン酸化膜1上に形成したパリアメタル4を、アルミニウムの単層からなる電極金属2で電気接続している。

そして、第3図(f)のように、カバー膜6を形成し、かつこの上にフォトレジスト7を所要バターンに形成した後、第3図(g)のように、このフォトレジスト7をマスクにしてカバー膜6をエッチングする。このとき、パリアメタル4上でカバー膜6を開口するとともに、前記電極金属2の一部を露出させる。これにより、電極金属2の露出された表面は絶縁性のアルミニナ膜3として形成されることになる。

次いで、前記フォトレジスト7を残したまま、金メッキ処理を行い、第3図(h)のように、フォトレジスト7の表面位置まで金を成長させ、バ

向上できる結果がある。

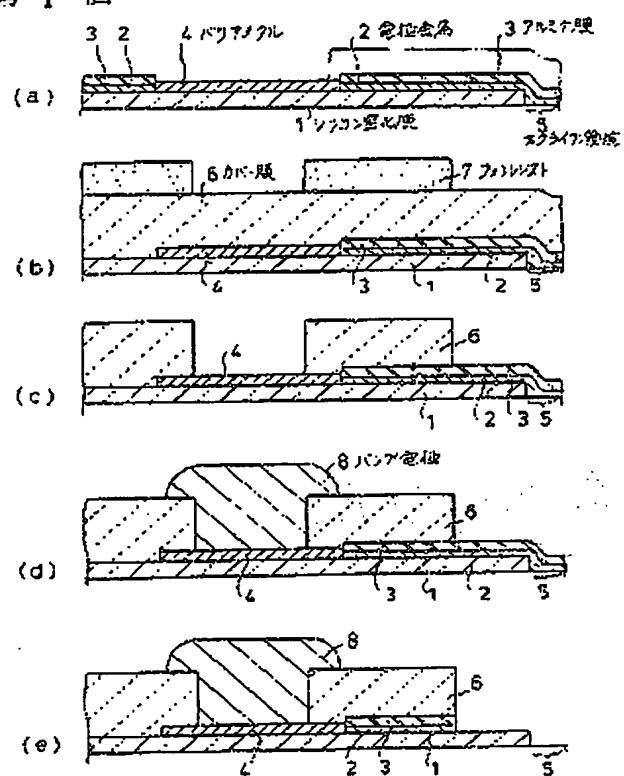
4. 図面の簡単な説明

第1図(a)乃至第1図(e)は本発明の第1実施例を製造工程順に示した断面図、第2図(a)及び第2図(b)は矢々第1図(c)及び第1図(e)の平面図、第3図(a)乃至第3図(e)は本発明の第2実施例を製造工程順に示した断面図、第4図(a)乃至第4図(e)は従来の製造方法を工程順に示した断面図である。

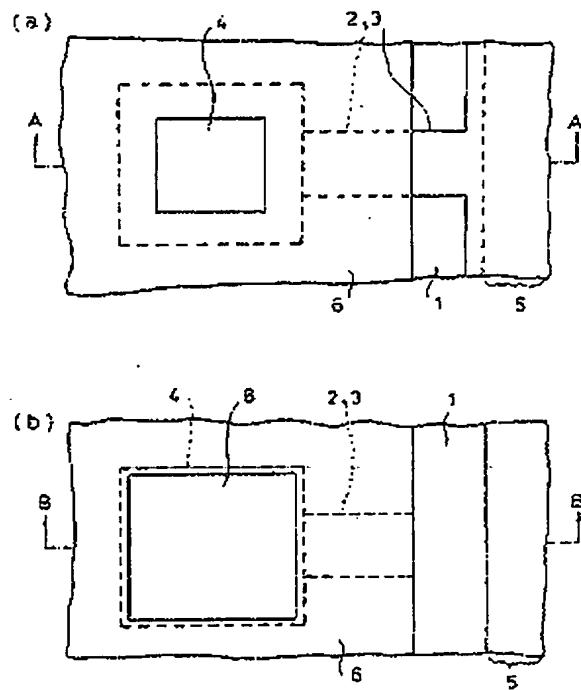
1…シリコン酸化膜、2…電極金属、3…アルミニナ膜、4…パリアメタル、5…スクライプ領域、6…カバー膜、7、7A、7B…フォトレジスト、8、8A…バンプ電極。

代理人弁理士 鈴木章 

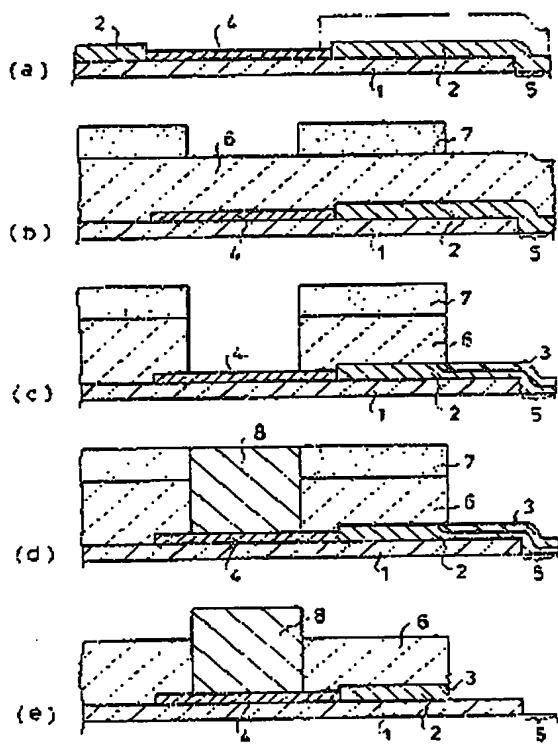
第1図



第2図



第3図



第4図

